

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-265812

(43)Date of publication of application : 18.11.1987

(51)Int.Cl.

H03K 3/356

(21)Application number : 61-111319

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 13.05.1986

(72)Inventor : TERADA YASUSHI

NAKAYAMA TAKESHI

KOBAYASHI KAZUO

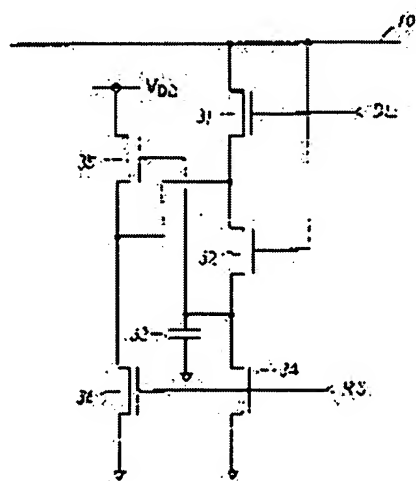
NOGUCHI KENJI

(54) LATCH CIRCUIT

(57)Abstract:

PURPOSE: To reduce the number of circuit elements, occupied area and power consumption by using only an enhancement n-channel MOS transistor (TR) and a capacitor so as to constitute a latch circuit.

CONSTITUTION: When a signal of H level is sent to a signal line 10 and a latch signal DL goes to B, the capacitor 33 is charged by MOS TRS 31, 32 in the on-state, a MOS TR 35 is turned on by the charging potential of the capacitor to send a signal of a power potential level to the other conducting terminal of the MOS TR 31. Thus, the H level signal on the signal line is being charged to H level via the MOS TR 31. When a reset signal RS goes to H level, the charging potential of the capacitor 33 is discharged through the MOS TR 34 to turn off the MOS TR 35. On the other hand, the connecting potential of the MOS TRs 31, 32 is discharged via the MOS TR 36 and goes to L level.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-265812

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)11月18日

H 03 K 3/356

Z-8626-5J

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 ラッチ回路

⑯ 特 願 昭61-111319

⑰ 出 願 昭61(1986)5月13日

⑱ 発 明 者	寺 田 康	伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
⑱ 発 明 者	中 山 武 志	伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
⑱ 発 明 者	小 林 和 男	伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
⑱ 発 明 者	野 口 健 二	伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内
⑲ 出 願 人	三菱電機株式会社	東京都千代田区丸の内2丁目2番3号
⑲ 代 理 人	弁理士 大岩 増雄	外2名

明 細 書

1. 発明の名称

ラッチ回路

2. 特許請求の範囲

(1) データ信号線上に現われた信号電位を、データラッチ動作のタイミングを与えるラッチ信号にตอบสนองしてラッチし、かつラッチ動作終了を示すためのリセット信号によりリセットされるラッチ回路であって、

前記データ信号線にその一方導通端子が接続され、そのゲートが前記ラッチ信号に結合される第1のMOSトランジスタと、

前記第1のMOSトランジスタの他方導通端子にその一方導通端子が接続され、そのゲートが前記データ信号線に接続される第2のMOSトランジスタと、

前記第2のMOSトランジスタの他方導通端子にその一方導通端子が接続され、そのゲートが前記リセット信号に結合され、その他方導通端子が接地電位に結合される第3のMOSトランジスタ

と、

前記第2のMOSトランジスタの前記他方導通端子にその一方電極が接続され、その他方導通電極が接地電位に接続される容量と、

前記容量の一方電極および前記第2のMOSトランジスタの前記他方導通端子にそのゲートが接続され、その一方導通端子が電源電位に結合され、その他方導通端子が前記第1のMOSトランジスタの他方導通端子に接続される第4のMOSトランジスタと、

前記第4のMOSトランジスタの他方導通端子にその一方導通端子が接続され、そのゲートが前記リセット信号に結合され、その他方導通端子が接地電位に接続される第5のMOSトランジスタとを備えるラッチ回路。

(2) 前記第1、第2、第3、第4および第5のMOSトランジスタはエンハンスメント型nチャネルMOSトランジスタである、特許請求の範囲第1項記載のラッチ回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はラッチ回路、特に半導体集積回路装置等において用いることのできる占有面積の小さなラッチ回路の構成に関する。

〔従来の技術〕

第2図は従来のラッチ回路の構成の一例を示す図である。第2図において、従来のラッチ回路は、CMOS構成の第1のインバータおよび第2のインバータを含む。

第1のインバータは、pチャネルMOSトランジスタ2とnチャネルMOSトランジスタ3とにより構成される。pチャネルMOSトランジスタ2の一方導通端子はpチャネルMOSトランジスタ1を介して電源電位 V_{DD} に結合される。第1のインバータの出力部(MOSトランジスタ2, 3の接続点)はデータ信号線10に接続される。pチャネルMOSトランジスタ1のゲートはリセット動作のタイミングを与えるためのリセット信号RSに結合される。第1のインバータの出力部にはnチャネルMOSトランジスタ3と並列にn

チャネルMOSトランジスタ4が接続される。MOSトランジスタ4のゲートにはリセット信号RSが与えられる。第1のインバータの出力部は第2のインバータの入力部すなわちMOSトランジスタ6, 7のゲート電極に接続され、第1のCMOSインバータの入力部(MOSトランジスタ2, 3のゲート)はMOSトランジスタ6, 7の接続点(第2のインバータの出力部)に接続される。第2のインバータは相補接続されたpチャネルMOSトランジスタ6とnチャネルMOSトランジスタ7とから構成される。pチャネルMOSトランジスタ6の一方導通端子はpチャネルMOSトランジスタ5を介して電源電位 V_{DD} に接続される。pチャネルMOSトランジスタ5のゲートはデータラッチの動作タイミングを与えるラッチ信号DLに結合される。nチャネルMOSトランジスタ7と並列に第2のインバータの出力部と接地電位との間にnチャネルMOSトランジスタ8が設けられる。nチャネルMOSトランジスタ8のゲートはラッチ信号DLに結合される。

次に動作について説明する。まずラッチ回路はリセット信号RSによりリセットされる。すなわちリセット信号RSが“H”になると、pチャネルMOSトランジスタ1がオフ状態、nチャネルMOSトランジスタ4がオン状態となり、第1のインバータの出力部はMOSトランジスタ4を介して“L”レベルとなる。第1のインバータの出力信号はまた第2のインバータの入力部へ伝達される。これによりpチャネルMOSトランジスタ6がオン状態、nチャネルMOSトランジスタ7がオフ状態となる。今ラッチ信号DLは“L”であり、pチャネルMOSトランジスタ5はオン状態、nチャネルMOSトランジスタ8はオフ状態である。したがって、第2のインバータの出力部はMOSトランジスタ5, 6を介して電源電位 V_{DD} レベルの“H”レベルとなる。また第2のインバータの出力部は第1のインバータの入力部へ伝達される。これによりデータ信号線10上の電位は“L”レベルに保持される。

次にラッチ信号DLが“H”となると、ラッチ

回路がセットされ、“H”がラッチされる。すなわち、ラッチ信号DLの“H”にตอบสนองして、pチャネルMOSトランジスタ5がオフ状態、nチャネルMOSトランジスタ8がオン状態となり、第2のインバータの出力部は“L”レベルとなる。この第2のインバータの出力部の“L”の信号は第1のインバータの入力部へ与えられる。これによりpチャネルMOSトランジスタ2がオン状態、nチャネルMOSトランジスタ3がオフ状態となる。今、リセット信号RSは“L”レベルにあり、pチャネルMOSトランジスタ1はオン状態、nチャネルMOSトランジスタ4はオフ状態にある。ため、第1のインバータの出力部からは“H”の信号が出力され、データ信号線10が“H”となる。すなわち、信号線10上は“H”にラッチされる。

第3図は従来のラッチ回路の他の構成を示す図である。第3図においては、ラッチ回路は、エンハンスメント型nチャネルMOSトランジスタ2, 1, 2, 3からなるフリップフロップを含む。すな

わち、 n チャネルMOSトランジスタ21、23はそのゲートおよびドレインが交差接続される。 n チャネルMOSトランジスタ21のドレインは低抵抗接続されたデプレッション型MOSトランジスタ20を介して電源電位 V_{DD} に接続される。 n チャネルMOSトランジスタ23のドレインは低抵抗接続されたデプレッション型 n チャネルMOSトランジスタ22を介して電源電位 V_{DD} に接続される。デプレッション型 n チャネルMOSトランジスタ20、22は常時オン状態にあり、その電流によりフリップフロップを高速に充電する。フリップフロップの出力(MOSトランジスタ23のドレイン)はトランスファゲートとなる n チャネルMOSトランジスタ24を介してデータ信号線10に接続される。 n チャネルMOSトランジスタ24はそのゲートにラッチ信号DLを受ける。トランスファゲートとフリップフロップの出力との間にはリセット信号RSにตอบสนองしてオン・オフしフリップフロップ出力を接地電位レベルにする(ラッチ回路をリセットする)ための n チャネル

MOSトランジスタ25が設けられる。次に動作について説明する。まずリセット信号RSが“H”となって、ラッチ回路のリセットが行なわれる。このとき信号DLは“L”レベルにあり、 n チャネルMOSトランジスタ24はオフ状態にある。リセット信号RSが“H”になることにより、フリップフロップの入出力部すなわちMOSトランジスタ23のドレインの電位は接地電位となる。このMOSトランジスタ23のドレインはMOSトランジスタ21のゲートに接続されているため、MOSトランジスタ21はオフ状態となり、MOSトランジスタ21のドレインが“H”となる。この状態によりラッチ回路のリセット動作が完了する。

次に、データ信号線10上に“H”の信号が伝達され、ラッチ信号DLが“H”となると、 n チャネルMOSトランジスタ24がオン状態となり、信号線10上の“H”がフリップフロップの入出力部すなわちMOSトランジスタ23のドレインへ伝達される。これによりMOSトランジスタ2

1がオン状態となり、MOSトランジスタ21のドレインが“L”レベルとなり、応じてMOSトランジスタ23がオフ状態となる。これによりMOSトランジスタ23のドレインは“H”レベルにセットされる。信号DLが“L”レベルとなっても、信号線10とフリップフロップとが電気的に絶縁されるため、MOSトランジスタ23のドレイン電位の“H”レベルは保持される。

【発明が解決しようとする問題点】

以上のように、従来のラッチ回路は p チャネルMOSトランジスタと n チャネルMOSトランジスタとを用いた構成またはデプレッション型MOSトランジスタとエンハンスメント型MOSトランジスタとを用いた回路構成となっている。

したがって、 p チャネルMOSトランジスタと n チャネルMOSトランジスタとを用いた構成においてはその回路素子数が多くなり、回路の占有面積が増大し、半導体集積回路のような微細な回路に組み込むことが非常に困難となる。

また、デプレッション型とエンハンスメント型の

MOSトランジスタを用いた場合、デプレッション型MOSトランジスタを介して電流が流れるため、消費電力が増大するという問題点がある。

それゆえこの発明の目的は、上述のような問題点を除去し、回路素子数を低減することができ、かつ電流(直流電流)が流れず消費電力を低減することができ、それにより半導体集積回路装置等の微細な回路パターンにおいても容易に組み込むことのできるラッチ回路を提供することである。

【問題点を解決するための手段】

この発明によるラッチ回路は、信号線にその一方導通端子が接続され、そのゲートにラッチ信号を受ける第1のエンハンスメント型MOSトランジスタと、第1のMOSトランジスタの他方導通端子にその一方導通端子が接続され、そのゲートが信号線に接続される第2のエンハンスメント型MOSトランジスタと、第2のMOSトランジスタの他方導通端子にその一方導通端子が接続され、そのゲートがリセット信号に結合され、その他方導通端子が接地電位に結合される第3のエンハ

メント型MOSトランジスタと、第2のMOSトランジスタと第3のMOSトランジスタとの接続点にその一方電極が接続され、その他方電極が接地電位に接続される容量と、その一方導通端子が電源電位に接続され、そのゲートが容量の一方電極に接続される第4のエンハンスメント型MOSトランジスタと、第4のMOSトランジスタの他方導通端子にその一方導通端子が接続され、そのゲートがリセット信号に結合され、その他方導通端子が接地電位に結合される第5のエンハンスメント型MOSトランジスタとで構成したものである。

さらに、第4のMOSトランジスタの他方導通端子と第1のMOSトランジスタの他方導通端子とが接続される。

【作用】

信号線に“H”の電位の信号が伝達されラッチ信号が“H”になると、容量はオン状態の第1のMOSトランジスタおよび第2のMOSトランジスタを介して充電され、第4のMOSトランジスタ

端子にその一方導通端子が接続され、そのゲートがリセット動作のタイミングを与えるリセット信号RSに結合され、その他方導通端子が接地電位に接続される第3のエンハンスメント型nチャネルMOSトランジスタ34と、その一方電極が第2のMOSトランジスタの他方導通端子および第3のMOSトランジスタの一方導通端子およびMOSトランジスタ35のゲートに接続され、その他方電極が接地電位に接続される容量33と、その一方導通端子が電源電位 V_{DD} に接続され、このゲートが容量33の一方電極に接続され、その他方導通端子が第1のMOSトランジスタ31と第2のMOSトランジスタ32の接続点に接続される第4のエンハンスメント型nチャネルMOSトランジスタ35と、その一方導通端子が第4のMOSトランジスタ35の他方導通端子に接続され、そのゲートがリセット信号RSに結合され、その他方導通端子が接地電位に接続される第5のエンハンスメント型nチャネルMOSトランジスタ36とから構成される。MOSトランジスタ3

2が容量の充電電位によりオン状態となって電源電位レベルの信号を第1のMOSトランジスタの他方導通端子へ伝達する。これにより信号線上の“H”レベルの信号は第1のMOSトランジスタを介して“H”レベルに充電され続ける。これにより信号線上の信号電位が電気的にフローティング状態となった場合に、信号線は“H”レベルに保持される。

【発明の実施例】

第1図はこの発明の一実施例であるラッチ回路の構成を示す回路図である。第1図において、この発明によるラッチ回路は、信号線10にその一方導通端子が接続され、そのゲートがラッチ動作のタイミングを与えるラッチ信号DLに結合される第1のエンハンスメント型nチャネルMOSトランジスタ31と、その一方導通端子が第1のMOSトランジスタ31の他方導通端子に接続され、そのゲートが信号線10に接続される第2のエンハンスメント型nチャネルMOSトランジスタ32と、第2のMOSトランジスタ32の他方導通

2は、容量33が充電された後、信号線10の電位が“L”のときに信号DLが“H”となったとき、容量33の充電電位が“L”の信号線10へ放電されるのを防止する機能を有する。

次に動作について説明する。まずリセット信号RSが“H”となることによりラッチ回路がリセットされる。すなわち、MOSトランジスタ34、36がオン状態となり、容量33の一方電極電位が完全に放電されるとともにMOSトランジスタ31、32の接続点の電位も“L”レベルにされる。次に信号線10上の信号電位が“H”レベルになると、ラッチ信号DLが図示しない手段により“H”レベルになり、ラッチ動作が開始される。すなわちMOSトランジスタ31がオン状態となり、信号線10上の“H”レベルの信号がMOSトランジスタ31、32を介して容量33へ伝達され、容量33が充電される。一方、MOSトランジスタ35は容量33の充電電位によりオン状態となり、電源電位 V_{DD} の電位をMOSトランジスタ31、32の接続点へ伝達する。これによ

り容量33は充電され続けるとともに、MOSトランジスタ31、32の接続点電位は電源電位 V_{DD} レベルになる。次に信号線10上の電位が“H”レベルからフローティング状態となっても、容量33の充電電位によりMOSトランジスタ35はオン状態を維持し、MOSトランジスタ31を介して信号線10は“H”レベルに充電され続ける。次にラッチ動作が終了し、リセット信号RSが“H”レベルになると、容量33の充電電位はMOSトランジスタ34を介して放電され、接地電位レベルとなり、応じてMOSトランジスタ35がオフ状態となる。一方、MOSトランジスタ31、32の接続点電位はMOSトランジスタ36を介して放電され、“L”レベルとなる。

リセット信号RSが“H”レベルになる前にラッチ信号DLがたとえば“L”レベルになっても、このときMOSトランジスタ34、36はオフ状態であるので、MOSトランジスタ31、32の接続点電位は“H”レベルに保持され続ける。すなわち、上述のラッチ回路においては、“H”レ

ベルの信号電位が与えられた信号線の“H”のデータが容量にラッチされる。したがって、信号線10が複数本設けられており、各々の信号線に対してラッチ回路を設けた場合、“H”の信号が与えられて選択された信号線の“H”を容量にラッチすることができ、非選択信号線との識別を行なうことができる。このとき、信号線10が“H”の選択状態から“L”の非選択状態となった状態でラッチ信号DLが“H”となっても、容量33の充電電位は、MOSトランジスタ32がオフ状態となるため放電されず、この後各信号線がフローティング状態となると一度選択された信号線電位は“H”となる。

〔発明の効果〕

以上のように、この発明によれば、信号線上の“H”レベルのデータをラッチするためのラッチ回路をエンハンスメント型MOSトランジスタとデータをラッチするための容量とのみを用いて構成したので、回路素子点数が低減され、回路の占有面積を低減することができ、容易に半導体集積

回路装置等の微細な回路に組み込むことができ、かつ直流電流が流れることもないので消費電力を低減することが可能となるラッチ回路を実現することができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例であるラッチ回路の構成を示す図である。

第2図は従来のラッチ回路の構成の一例を示す図である。

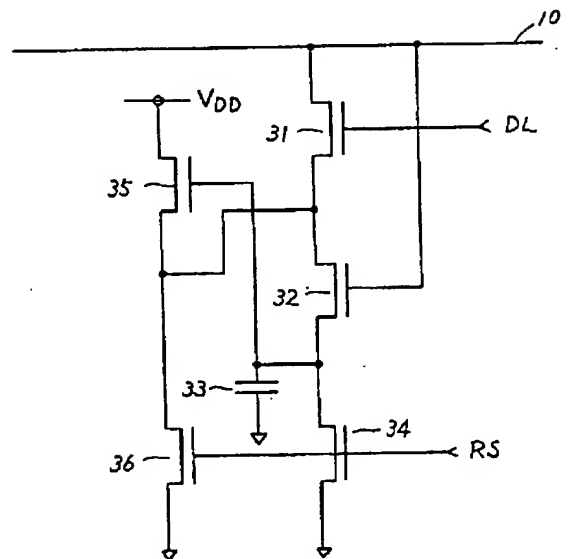
第3図は従来のラッチ回路の構成の他の回路構成を示す図である。

図において、31、32、34、35、36はエンハンスメント型nチャネルMOSトランジスタ、33は容量、10は信号線である。

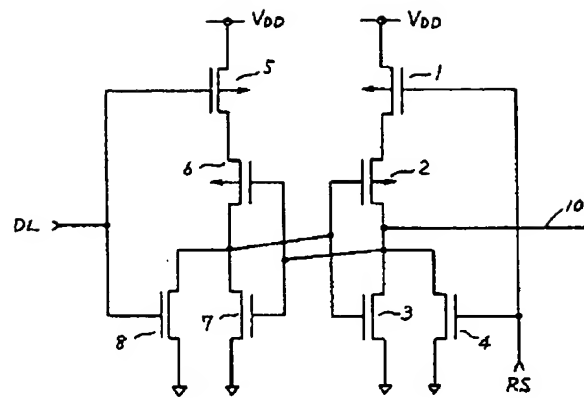
なお、図中、同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

第1図



第2図



第3図

